

Ankündigung

ITG MN 5.6 – Fachtagung

(fWLR / Wafer Level Reliability, Zuverlässigkeits- Simulation & Qualifikation)

23. Mai – 25. Mai 2022 in Dresden, Host: FhG IKTS

Die ITG MN 5.6 Fachtagung ist ein deutsches Forum zur Intensivierung der Diskussion und zum Austausch von Informationen zwischen den deutschsprachigen (in Europa) Halbleiterfirmen, den Universitäten und den Forschungseinrichtungen auf dem Gebiet der Halbleiterprozeß-Zuverlässigkeit und -Simulation. Ein weiterer Schwerpunkt ist die weltweite Standardisierung zum Thema Zuverlässigkeit. Bei der ITG-Fachtagung werden Standards (wie z.B.: JEDEC, AEC, IEC) vorgestellt und diskutiert.

Die Tagung 2022 steht ganz im Zeichen des neuen Aufbruchs der Halbleiterindustrie Europas (Chip Act) und Deutschland (Rahmenprogramm der Bundesregierung für Forschung und Innovation 2021-2024 sowie Forschung und Innovation für technologische Souveränität), den Schwierigkeiten bei der Transformation der Automobilindustrie, der wachsenden Bedrohung durch Cyberangriffe und immensen Herausforderungen im Bereich der Elektronik-Zuverlässigkeit. Bewerte Zuverlässigkeitsstandards werden obsolete, neue die Lieferkette übergreifende Entwurfskonzepte, Methoden, Tools und Modelle rücken in den Fokus.

Diese Veränderungen bringen auch Veränderungen und Chancen für die etablierte Fachgruppe mit. So ist die Expertise im Bereich fWLR zunehmend von Relevanz bei der Erstellung von Design IP zur Chip internen Überwachung während der Fertigung wie im Feld.

Die Fachtagung findet vom 23.05., 13:30 Uhr bis 25.05., 15:00 Uhr, je nach finalem, Programm auch bis 16:00 Uhr statt. Vorgelagert ist wieder ein offener fWLR Workshop von 09:00 Uhr bis 13:00 Uhr.

Weitere Informationen zur ITG MN 5.6 Fachgruppe werden in den nächsten Tagen eingestellt:

<http://www-stud.uni-due.de/~sfanaall/index.html>

Aufforderung Vorträge anzumelden für die folgenden Themen:

- Generell „wafer level reliability“ (WLR) und die Korrelation zur Produktlebensdauer
- Zuverlässigkeit der Metallisierung (z.B.: EM, SM, pads, bonds, solder)
- MOS Transistor Zuverlässigkeit (z.B.: HC, NBTI, PBTI, PID)
- Zuverlässigkeit von dielektrischen Lagen (z.B.: MOS, high-k, IMD, MIM, NVM, poly-poly-caps)
- Simulation von Zuverlässigkeitseffekten
- schnelle Meßmethodik, Meßgeräte, parallele Messungen für Zuverlässigkeitsuntersuchungen
- Layout, Simulation und Effekte von Teststrukturen speziell für WLR
- Produkt- und Prozeß-begleitende Stressmethoden zur Ermittlung der Zuverlässigkeit (z.B.: fWLR)
- Aspekte der Zuverlässigkeitsuntersuchungen während der Prozeß-Qualifikation
- notwendige Zuverlässigkeitsanforderungen und -untersuchungen für die Automobil-Industrie
- Mission-Profile Analyse, Dynamische Mission-Profile Adaptionsmethodik
- Wechselwirkung und Adressierung von Safety/Security – Anforderungen in Entwurfs-, Fertigungs- und Überwachungskonzepten

Vorträge können auf Wunsch auf der ITG-Internetseite im fachgruppeninternen, geschützten Bereich oder im öffentlichen Bereich veröffentlicht werden. Es besteht aber kein Zwang zur Veröffentlichung. Die Vortragssprache ist Deutsch, Vortragsfolien können in deutscher oder englischer Sprache verfasst werden. Vortragsdauer ist standardmäßig 20min. Vortragsanmeldungen bitte an andreas.aal@volkswagen.de, weide-zaage@ims.uni-hannover.de und andreas.martin@infineon.com senden.

Lokale Organisation am Tagungsort Dresden in 2019 durch:

Dr. rer. nat. André Clausner

Abteilungsleiter: Mikroelektronik-Materialien und Nanoanalytik

Fraunhofer-Institut für Keramische Technologien und Systeme IKTS

Maria-Reiche-Str. 2

01109 Dresden

Telefon +49 351 88815-573

Fax +49 351 88815-509

Sponsor: